

Patent Abstracts of Japan

PUBLICATION NUMBER : 09223894
PUBLICATION DATE : 26-08-97

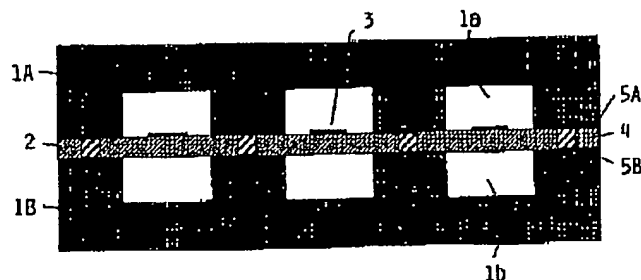
APPLICATION DATE : 16-02-96
APPLICATION NUMBER : 08052593

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>;

INVENTOR : IWASAKI NOBORU;

INT.CL. : H05K 9/00 H01P 3/08 H01P 5/08

TITLE : TRANSMISSION LINE AND PACKAGE



ABSTRACT : PROBLEM TO BE SOLVED: To reduce cross talk between transmission lines by forming a pseudo-coaxial structure out of a signal line conductor, conductive blocks surrounding the conductor vertically and laterally and grounding conductors.

SOLUTION: A signal line conductor 3 and a grounding conductor 5A are formed on the upper side of an insulating base 2, while a grounding conductor 5B is formed on the lower side thereof, and the grounding conductors 5A and 5B on the upper and lower sides are connected to each other electrically by a via hole 4. In upper and lower metal blocks 1A and 1B, grooves 1a and 1b making it possible to obtain desired electric characteristics are formed in the vicinity of the signal line conductor 3 and the two metal blocks 1A and 1B are connected electrically to the grounding conductors 5A and 5B connected through the via hole 4. According to this constitution, the part of the signal line conductor 3 is made to have a pseudo-coaxial structure wherein the signal line conductor is a central conductor. Since the structure wherein an electromagnetic field does not leak between the signal line conductors 3 being adjacent to each other is obtained, accordingly, cross talk between the adjacent lines can be reduced sharply.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223894

(43) 公開日 平成9年(1997)8月26日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	9/00		H 0 5 K 9/00	Q K
H 0 1 P	3/08 5/08		H 0 1 P 3/08 5/08	M

審査請求 未請求 請求項の数4 F D (全 6 頁)

(21) 出願番号 特願平8-52593

(22) 出願日 平成8年(1996)2月16日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 久々津 直哉

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 石塚 文則

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 岩崎 登

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

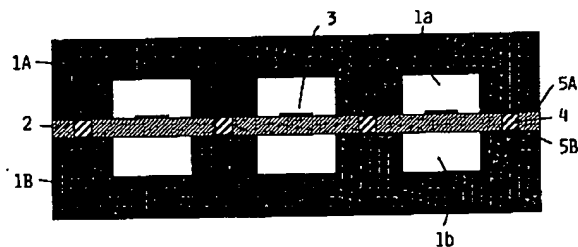
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 伝送線路およびパッケージ

(57) 【要約】

【課題】 隣接する伝送線路相互間のクロストークを軽減し、且つその伝送線路間のピッチも小さくする。

【解決手段】 凹形溝1a、1bが対向するよう配置した導電性ブロック1A、1Bと、両導電性ブロック1A、1Bの間に挟まれた絶縁性基板2と、導電性ブロック1Aの溝1a内に位置するよう絶縁性基板2の片面に形成された信号線導体3と、両導電性ブロック1A、1Bに接するよう絶縁性基板2の両面に形成された接地導体5A、5Bと、前記絶縁性基板1A、1Bの両面の接地導体5A、5Bを電氣的に導通させるビアホール4とを具備する。



【特許請求の範囲】

【請求項1】片面に形成した凹形の溝が相互に対向するよう配置した第1、第2の導電性ブロックと、該両導電性ブロックの間に挟まれた絶縁性基板と、前記第1の導電性ブロックの溝に対応する位置に前記絶縁性基板の片面に形成された信号線導体と、前記両導電性ブロックに電氣的に接するよう前記絶縁性基板の両面に形成され前記信号線導体とは分離した接地導体と、前記絶縁性基板の両面の前記接地導体を電氣的に相互に導通させる手段とを具備することを特徴とする伝送線路。

【請求項2】前記導電性ブロックが、導電性粒子が付加され全体に導電性を付与された樹脂から構成されていることを特徴とする請求項1に記載の伝送線路。

【請求項3】前記導電性ブロックが、表面がメタライズ加工により導電性を付与されたた絶縁性樹脂から構成されていることを特徴とする請求項1に記載の伝送線路。

【請求項4】前記請求項1乃至3の第1の導電性ブロックに半導体素子を位置させるための開口又は凹部を形成するとともに、前記開口又は凹部に対応する前記請求項1の絶縁性基板の部分に前記半導体素子の電極を接続するための電極パッドを設け、該電極パッドを前記請求項1の信号線導体又は前記接地導体に接続したことを特徴とするパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光・電気通信、光・電気情報処理等において使用される高周波IC（半導体集積回路装置）の信号を伝達する高周波用の伝送線路およびパッケージに関するものである。

【0002】

【従来の技術】従来から、この種の高周波用の伝送線路として、図7の（a）に示すマイクロストリップ線路30、図7の（b）に示すコプレーナ線路40、あるいは図7の（c）に示すグラウンドコプレーナ線路50などが主に用いられている。

【0003】マイクロストリップ線路30の場合には、特性インピーダンス Z_0 が誘電体基板31の厚さ H と信号線導体32の幅 W および誘電体基板31の比誘電率 ϵ_r によって一義的に決まる。33は裏面に形成された接地導体である。したがって、特性インピーダンス Z_0 を一定に保ったまま、信号線導体32の幅 W を変更するためには、誘電体基板31の厚さ H あるいは比誘電率 ϵ_r を適当に変更する必要があるが、部分的にこれらを変更することは困難である。

【0004】一方、コプレーナ線路40の場合には、誘電体基板41の厚さ H が一定であっても、信号線導体42の幅 W と、その信号線導体42とその両側の接地導体43との間隙 S の値を調整することによって、特性インピーダンス Z_0 を一定に保ったまま、その信号線導体42の幅 W を変更することができる。グラウンドコプレーナ

線路50の場合も上記コプレーナ線路40と同じ考え方により、特性インピーダンス Z_0 を一定に保つことができることから、これら2つの線路はMMIC（Monolithic-Microwave-Integrated-Circuit）の配線パターンなどに広く用いられている。51は誘電体基板、52は信号線導体、53A、53Bは接地導体である。

【0005】図8は上記した伝送線路を用いた高周波半導体素子実装用のICパッケージを示す従来例の模式図、図9はそのICパッケージを搭載したモジュールの模式図である。

【0006】図8において、11は半導体素子（IC）であって、その電極パッド11aとコプレーナ線路12に形成されたパッケージ内部電極パターン12aは、ワイヤ13で接続され、パッケージ外部ではキャパシティ14を囲むパッケージフレーム15のフィードスルー部15aおよびパッケージ外部電極パターン12bを介して高周波用リード16に接続されている。制御用直流バイアスも、高周波用信号線と同様に、素子電極パッド11b、ワイヤ17、キャパシティ内部電極パターン12c、キャパシティ外部電極パターン12dを介して、バイアス供給用リード18に接続されている。19は金属板、20はキャパシティ14を閉じるキャップであって、以上によりICパッケージ21が構成される。

【0007】図9において、ICパッケージ21内で処理される高周波信号は、高周波信号用リード16を通り、マイクロストリップ線路あるいはコプレーナ線路で形成される接続基板22を介して、同軸コネクタ23A、24Bへと伝わる。また制御用直流バイアスは、バイアス供給用リード18からワイヤ24等によりバイアス供給用外部端子25に接続される。26はキャパシティ27を形成する金属ブロックである。以上によりモジュール28が構成される。なお、前記した図8はこの図9のA部分の拡大図である。

【0008】

【発明が解決しようとする課題】以上のように、ICパッケージ21にはキャパシティ14が、モジュール28にはキャパシティ27が各々形成され、これらのキャパシティ14、27は素子11等を外部環境から保護する上で必要であるが、キャパシティ寸法によって定まる共振現象により電気特性の劣化を招く。この共振は、キャパシティ寸法が大きいくほど低い周波数から発生するために、周波数が高くなるにつれて、キャパシティ寸法を小さくしなければならなかったが、外部との接続のための空洞部分がどうしても必要となり、その小形化には限界があり、高周波化が制限されていた。

【0009】特に、ICパッケージ21のキャパシティ14については、その寸法が、同軸端子や同軸コネクタ等の大きさから制限を受けるため、上記高周波化の制限ばかりでなく、取り付け可能な端子数にも物理的な制限が生じる。したがって、高速デジタルLSIにおけるシリ

アルパラレル変換回路（マルチプレクサやデマルチプレクサ等）のように、多端子化が要求されるものに対しては、従来のパッケージではその適用が困難であった。

【0010】また、ICパッケージ21の信号線の幅は通常では50 μ m～100 μ m程度であるのに対し、通常の高周波で用いられる同軸コネクタの中心導体の直径は300 μ m程度である。そこで、ICパッケージ21と同軸コネクタ23A、23Bを接続する接続基板22として、マイクロストリップ線路を用いた場合には、前述したように同一基板厚で漸近的に信号線幅を変更することができないため、ICパッケージ21の信号線の幅あるいは同軸コネクタ23A、23Bの中心導体直径のどちらか一方のサイズに、そのマイクロストリップ線路の信号線導体の幅を合わせなくてはならない。

【0011】しかし、マイクロストリップ線路の信号線導体の幅をICパッケージ21の信号線の幅に合わせた場合には、同軸コネクタ23A、23Bとの接続部において中心導体に合わせることになるため、その信号線導体の幅をそこで約2倍程度まで上げる必要があり、この部分でのインピーダンスのミスマッチが起こり、高周波特性の劣化の大きな原因となる。逆に、その信号線導体の幅を同軸コネクタ23A、23Bの中心導体の直径に合わせて大きくした場合には、ICパッケージ21の近傍での信号線導体の隣接相互間のクロストークが増大するため、高周波特性の劣化は無視できないほど大きなものとなる。

【0012】以上に対して、ICパッケージ21と同軸コネクタ23A、23Bを接続する接続基板22として、コプレーナ線路あるいはグラウンドコプレーナ線路を用いた場合には、同一基板厚でも信号線幅を変更することが可能であり、上記のマイクロストリップ線路におけるような問題は回避できる。

【0013】しかし、コプレーナ線路やグラウンドコプレーナ線路を用いる場合、高周波帯では信号として不要な表面波モードが励起され易いため、また、通常ではその基板の裏面に金属ブロックが存在するため、信号線左右の接地導体と金属ブロックとのグラウンドの共通化が大きな問題となる。

【0014】すなわち、基板表面の左右の接地導体間をエブリッジやワイヤ等で接続したり、基板にヴィアホールを設けて、基板の裏面と表面の接地導体を接続するなどの対策が必要となるが、ワイヤやヴィアホールのピッチ等により隣接する他のコプレーナ線路や、グラウンドコプレーナ線路との距離を小さくすることが困難となる。

【0015】したがって、これらの伝送線路を高周波帯で用いる場合、平行して並んだ複数の伝送線路の相互間の電磁界の漏れ等によるクロストークにより、配線密度を高くすることが困難となる。また、マイクロストリップ線路、コプレーナ線路、グラウンドコプレーナ線路とも

に、基板の誘電体損失の影響が高周波帯では無視できなくなる。

【0016】本発明は、以上のような点に鑑みてなされたもので、その第1の目的は、伝送線路間のクロストークを軽減し、異種寸法を有する2つの接続対象間を容易に接続でき、さらに高密度配線ができるようにした伝送線路を提供することである。第2の目的は、キャピティを半導体素子サイズまで小さくできるようにして高周波化を可能にし、多端子化を可能にしたパッケージを提供することである。

【0017】

【課題を解決するための手段】第1の目的を達成するための第1の発明の伝送線路は、片面に形成した凹形の溝が相互に対向するよう配置した第1、第2の導電性ブロックと、該両導電性ブロックの間に挟まれた絶縁性基板と、前記第1の導電性ブロックの溝に対応する位置に前記絶縁性基板の片面に形成された信号線導体と、前記両導電性ブロックに電氣的に接するよう前記絶縁性基板の両面に形成され前記信号線導体とは分離した接地導体と、前記絶縁性基板の両面の前記接地導体を電氣的に相互に導通させる手段とを具備するよう構成した。

【0018】第1の目的を達成するための第2の発明の伝送線路は、前記導電性ブロックが、導電性粒子が付加され全体に導電性を付与された樹脂から構成されるようにした。

【0019】第1の目的を達成するための第3の発明の伝送線路は、前記導電性ブロックが、表面がメタライズ加工により導電性を付与された絶縁性樹脂から構成されるようにした。

【0020】第2の目的を達成するための第4の発明のパッケージは、第1の乃至第3の発明の第1の導電性ブロックに半導体素子を位置させるための開口又は凹部を形成するとともに、前記開口又は凹部に対応する第1の発明の絶縁性基板の部分に前記半導体素子の電極を接続するための電極パッドを設け、該電極パッドを第1の発明の信号線導体又は前記接地導体に接続して構成した。

【0021】

【発明の実施の形態】

【第1の実施の形態】図1は本発明の第1の実施の形態の伝送線路の構造を示す断面図である。図1において、1A、1Bは導電性の金属ブロック、2は絶縁性基板、3は信号線導体、4はヴィアホール、5A、5Bは接地導体である。このように、絶縁性基板2の上面には信号線導体3と接地導体5Aが、また下面には接地導体5Bが形成されており、上下面の接地導体5A、5Bの相互間がヴィアホール4により電氣的に接続されている。上下の金属ブロック1A、1Bには、信号線導体3の付近に所望の電氣的特性を得られるような溝1a、1bが図1の紙面に垂直な方向に形成されており、2つの金属ブロック1A、1Bは、ヴィアホール4を介して接続され

た接地導体5 A、5 Bに電氣的に接続されている。

【0022】このように、表面に高周波信号用の信号線導体3と接地導体5 Aが形成され、裏面に接地導体5 Bが形成された絶縁性基板2を、その信号線導体3の近傍に溝1 a、1 bが位置するように金属ブロック1 A、1 Bで挟持することにより、信号線導体3の部分が信号線導体3を中心導体とする疑似同軸構造となる。絶縁性基板2の厚みを金属ブロック1 A、1 Bの溝1 a、1 bの大きさに比べて薄くするほど、より同軸構造に近くなる。したがって、隣接する信号線導体3の相互間で電磁界が漏れない構造となるので、隣接線路間のクロストークを大幅に低減することができる。

【0023】また、通常同軸線路は内部に誘電体が充填されており中心導体を一定サイズに保ったとき50Ω線路とする場合にその誘電体の実効比誘電率の平方根に比例して同軸断面積のサイズが大きくなるが、本発明では誘電体を含まない中空構造の同軸線路となるため、誘電体で満たされた同軸線路に比べて、実効誘電率が低くなり、同軸断面サイズを小さくすることが可能となり、信号線導体3の相互間のピッチ（間隔）を狭くすること可能となる。よって、フォトリソグラフィ技術、マイクロマシン技術等により微細加工をすることによって、同軸断面サイズを小さくし、配線の高密度化を図ることができる。

【0024】さらに、絶縁性基板2の上面に形成された信号線導体3の幅およびその信号線導体3の左右の接地導体5 Aとの間隔を適宜設定することにより、特性インピーダンスを所望の値に調整を行なうことも可能となり、所望の特性インピーダンスを実現できる。

【0025】〔第2の実施の形態〕図2は本発明の第2の実施の形態の伝送線路の構造を示す断面図である。図1におけるものと同一のものには同一の符号を付した。ここでは、上下の導電性ブロックを符号6 A、6 Bで示すように、絶縁性樹脂の表面をメタライズ加工して表面に導電性を持たせた樹脂ブロックとしたものである。6 a、6 bは凹形の溝である。なお、樹脂に導電性粒子を付加して導電性を持たせた樹脂ブロックとすることもできる。

【0026】このように、金属ブロックではなく、樹脂ブロックを用いることにより、軽量化を図ることができる。また、金属ブロックでは溝を形成するために切削加工が不可欠であり、信号線数が多くなると加工コストが大幅に増大するのに対して、樹脂ブロックを用いる場合には、一体成形加工が可能であり、信号線数が多くなっても、一度、鋳型を作成すれば、量産化が容易で加工コストが増大することはない。

【0027】〔第3の実施の形態〕図3は図1に示した構造を発展させてICパッケージを構成した第3の実施の形態を示す斜視図、図4は絶縁基板およびその表面の配線パターンを厚さ方向に拡大して示したものの、図5は

図3の中心部分を切断した断面図である。図3～図5において、7はバイアス供給用配線、8は半導体素子、9は半導体素子8の搭載用ステージ、10は気密封止用キャップである。

【0028】ここでは、下側の金属ブロック1 Bの中央部にステージ9用の上向きの凹部1 c（下面と周囲が閉じられている）が形成され、上側の金属ブロック1 Aの中央部には半導体素子8が位置するための上下方向が開通した通孔1 dが形成される。そして、下側の金属ブロック1 Bの凹部1 cの上面に位置する絶縁性基板2の中央部に開口部2 aが形成され、その開口部2 aの周縁の上面に形成した電極パッド（信号線導体3や接地導体5 Aに連続的に接続される）に半導体素子8がフェースダウンの形でバンブ6 1により接続される。なお、ステージ9必ずしも必要なく、よって下側の金属ブロック1 Bの凹部1 cも必ずしも必要ない。また、絶縁性基板2の開口部2 aも必ずしも必要ではない。

【0029】この第3の実施の形態では、図4に示したように、絶縁性基板2の両面の接地導体5 A、5 Bは、ビアホール4により接続され、かつ上下の金属ブロック1 A、1 Bがこれらの接地導体5 A、5 Bと接することから、信号線導体3がシールドされた前述したような疑似同軸構造となるため、クロストークの低減化、高密度配線化が可能となり、多端子化を図ることができる。また、半導体素子8が位置するキャビティ内に不要な空洞部分が少なくなることから、パッケージのキャビティ（ステージ9、凹部1 c、通孔1 d等）を半導体素子8のサイズと同程度にまで小形化でき、従来パッケージに比べて共振周波数を高くできるので適用周波数を高い領域に設定することができる。

【0030】図6は第3の実施の形態の改変例を示す断面図である。この図6に示すように、半導体素子8の下面を直接的に金属ブロック1 Bの凹部1 cに搭載してその上面を絶縁性基板2の上面と同一レベルにし、絶縁性基板2に対してワイヤ6 2より接続することもできる。この場合、上側の金属ブロック1 Aは中央に下向きの凹部1 e（上面と周囲が閉じられている。）を形成しキャップを省略できる。また、半導体素子8が下側の金属ブロック1 Bに直接載るので、放熱効果が良好となる。

【0031】

【発明の効果】以上から第1の発明の伝送線路によれば、信号線導体とその上下左右を囲む導電性ブロックや接地導体により疑似同軸構造が構成される。このため、従来から使用されているマイクロストリップ線路、コプレーナ線路、グランドコプレーナ線等に比べ、隣接する信号線導体との間で電磁界が漏れない構造となるので、クロストークが軽減される。また、この疑似同軸構造の信号線導体の幅は特性インピーダンスを一定に保持しながら自由に設定できるので、異なる幅の信号線導体との間や同軸コタネク等の比較的大きな中心導体との間の接

続も容易となる。さらに、同軸内は誘電体を充填せず中空となるので同軸面積のサイズを小さくでき、配線の高密度化も可能となる。

【0032】第2、第3の発明の伝送線路によれば、導電性ブロックを樹脂により一体成形できるので、軽量化・量産化・低コスト化が実現できる。

【0033】第4の発明のパッケージによれば、半導体素子を搭載すべきステージ（キャビティ）をその半導体素子のサイズと同程度の大きさにまで小さくできるので、共振周波数を高くすることができて適用周波数を高い領域に設定できる。また、クロストークが少なく高密度配線も可能となり、多端子化が実現できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態の伝送線路の断面図である。

【図2】 本発明の第2の実施の形態の伝送線路の断面図である。

【図3】 本発明の第3の実施の形態のパッケージを示す斜視図である。

【図4】 図3に示した絶縁性基板の斜視図である。

【図5】 図3に示したパッケージの断面図である。

【図6】 改変例のパッケージの断面図である。

【図7】 従来の伝送線路の構造を示す図で、（a）はマイクロストリップ線路の断面図、（b）はコプレーナ*

*線路の断面図、（c）はグラウンドコプレーナ線路の断面図である。

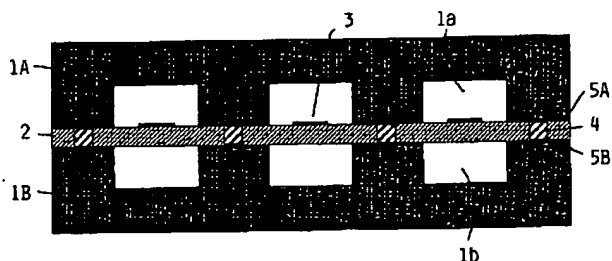
【図8】 従来のICパッケージの斜視図である。

【図9】 図8のICパッケージを搭載したモジュールの斜視図である。

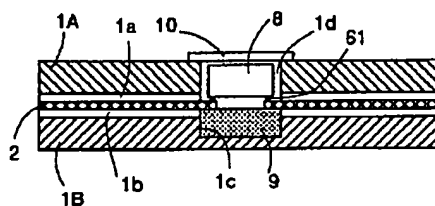
【符号の説明】

1A、1B：金属ブロック（導電性ブロック）、1a、1b：凹形の溝、1c：凹部、1d：通孔、1e：凹部、2：絶縁性基板、2a：開口部、3：信号線導体、4：ヴィアホール、5A、5B：接地導体、6A、6B：表面メタル加工の樹脂ブロック（導電性ブロック）、7：バイアス供給用配線、8：ベアチップ半導体素子、9：素子搭載ステージ、10：キャップ、61：パンプ、62：ワイヤ、11：半導体素子、11a、11b：電極パッド、12：マイクロストリップ線路又はコプレーナ線路、12a、12c：パッケージ内部電極パターン、12b、12d：パッケージ外部電極パターン、13：ワイヤ、14：キャビティ、15：金属ブロック、16：高周波用リード、17：ワイヤ、18：バイアス供給用リード、19：金属板、20：キャップ、21：ICパッケージ、22：接続基板、23A、23B：同軸コネクタ、24：ワイヤ、25：バイアス供給用外部接続端子、26：金属ブロック、27：キャビティ、28：モジュール。

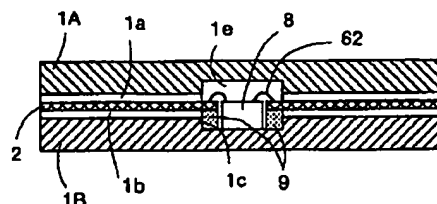
【図1】



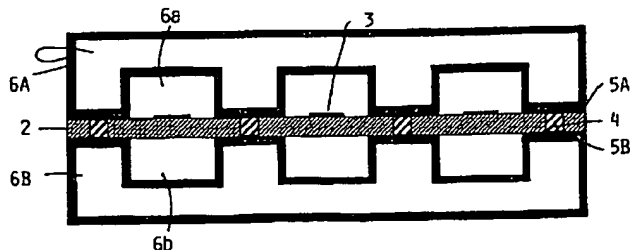
【図5】



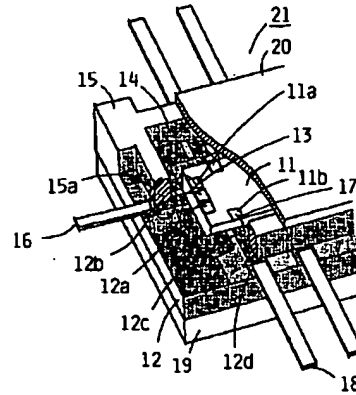
【図6】



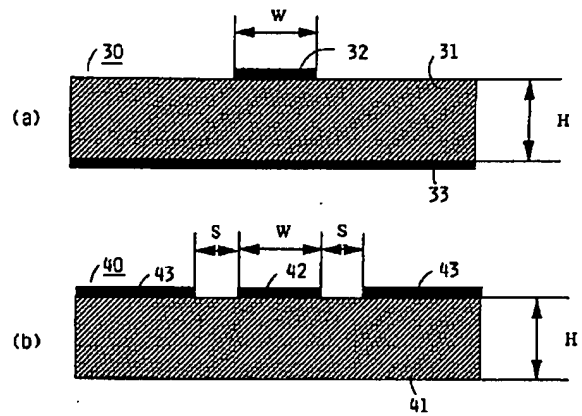
【図2】



【圖 8】



【図7】



(c) Cross-sectional view of a semiconductor device. A substrate 51 is shown with a layer 53B. A top layer 50 contains regions 53A and a central region 52. Dimensions S, W, and H are indicated.

